

# Systemy wbudowane '18

## Lista na laboratoria tydzień od 26 marca

(lista na zaliczenie, oddawana po świętach)

Elementem koordynującym współpracę wielu niezależnych elementów w systemie, a także umożliwiającym realizację jego zadań w perspektywie czasu jest zegar. Generuje on tzw. *podstawę czasu* systemowego – np. zegar 50 MHz określi podstawową jednostkę czasu używaną przez procesor na 20 ns ( $2^{-8}$  sek).

Dla różnych podzespołów systemu jednak stawia się różne wymagania dotyczące zegara. Chciałoby się, by procesor wykonywał obliczenia jak najszybciej (najszybszy zegar), ale transmisje muszą być realizowane wolniej, m.in. ze względu na pewność przesyłu. Jednym ze sposobów radzenia sobie z tym problemem jest integracja różnych zegarów w jednym systemie, co jest praktykowane, lecz niesie za sobą potrzebę ich wzajemnej synchronizacji. Drugim podejściem jest zwielokrotnianie (tj. wydłużanie okresu), albo dzielenie (taktowanie układu jeszcze szybciej) podstawy czasu.

Zajmijmy się spowalnianiem zegara. Służą do tego *dzielniki częstotliwości*. Na dzisiejszych zajęciach zbudujesz (napiszesz) taki dzielnik. Jest to bardzo prosty układ: na wejściu przyjmuje oryginalny zegar oraz parametr zawierający informację o żądanych parametrach zegara wyjściowego. Na wyjściu generuje impuls zegarowy odpowiednio spowolniony względem zegara wejściowego.

Weźmy pod uwagę powyższy zegar 50 MHz. Jeśli potrzebujemy zegar 1 MHz, jaki parametr dzielnika jest potrzebny? Oczywiście, na każde 50 taktów zegara głównego wygenerujemy jeden takt zegara spowolnionego. A co, gdy potrzebujemy zegara 40 Hz? To bardzo znaczne spowolnienie: każdy takt wyjściowy to 1 250 000 taktów głównych! Widać zatem, że dzielnik częstotliwości oprócz parametru “przez ile dzielić” musi być również parametryzowany rozmiarem licznika, który będzie wewnętrznie zliczał impulsy. (Przypomnij sobie pragme **generic**!)

**Zadanie 1** Napisz kod dzielnika częstotliwości.

- Zbuduj test dla dzielnika; główny zegar w teście ma częstotliwość 125 MHz.
- Zainicjuj trzy instancje dzielnika o najmniejszych możliwych rozmiarach, generujące przebiegi 100 Hz, 1.1 kHz oraz 50 MHz. Korzystając z podglądu przebiegów na GTKWave oblicz w procentach niedokładności generowanych przebiegów.

**Zadanie 2** Napisz nowy dzielnik częstotliwości, który będzie miał N wyjść (N jest określane pragme **generic**), z których i-te wyjście (licząc od 0) będzie zegarem o okresie  $2^i$  razy dłuższym niż zegar podstawowy.

**Zadanie dodatkowe – dla chętnych** Gdyby *podwoić* częstotliwość głównego zegara, jak zwiększy się dokładność częstotliwości generowanych w zadaniu 1?

- Zaproponuj układ przyspieszający zegar o połowę (model nie musi być w VHDL, przedstaw koncepcyjne rozwiązanie).