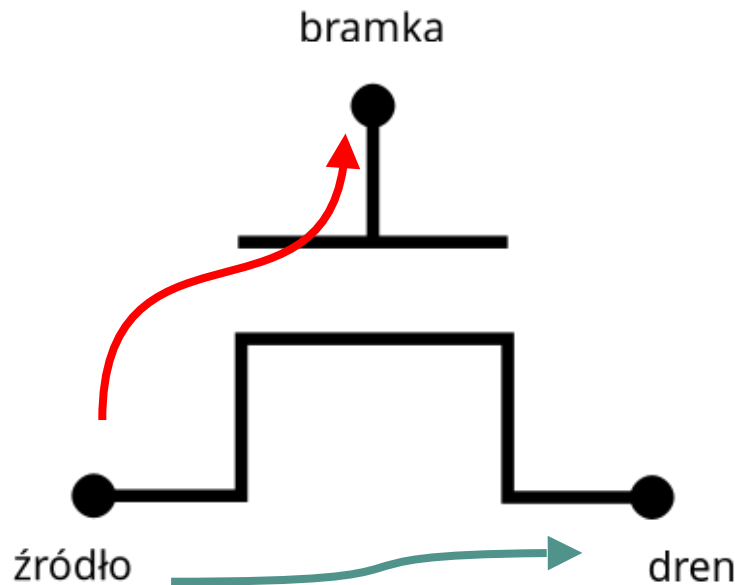
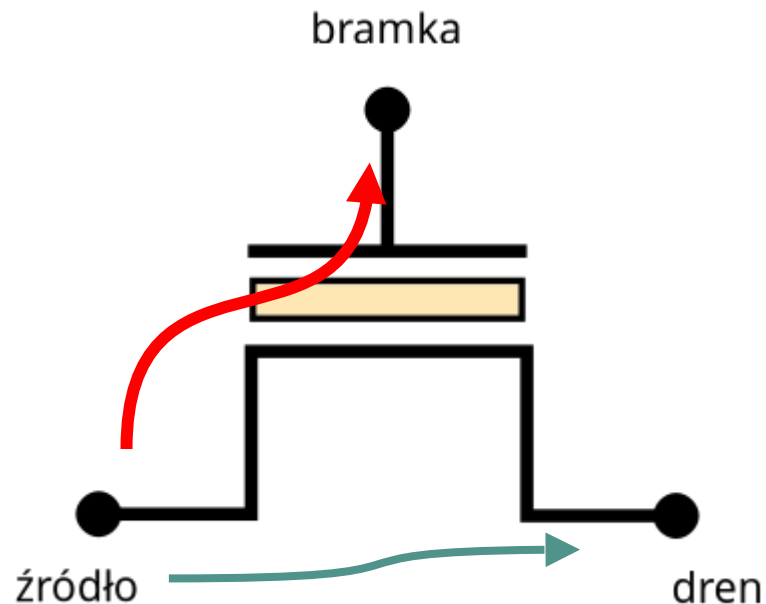


Dyski SSD i pamięci FLASH

Sposób na (stały) bit

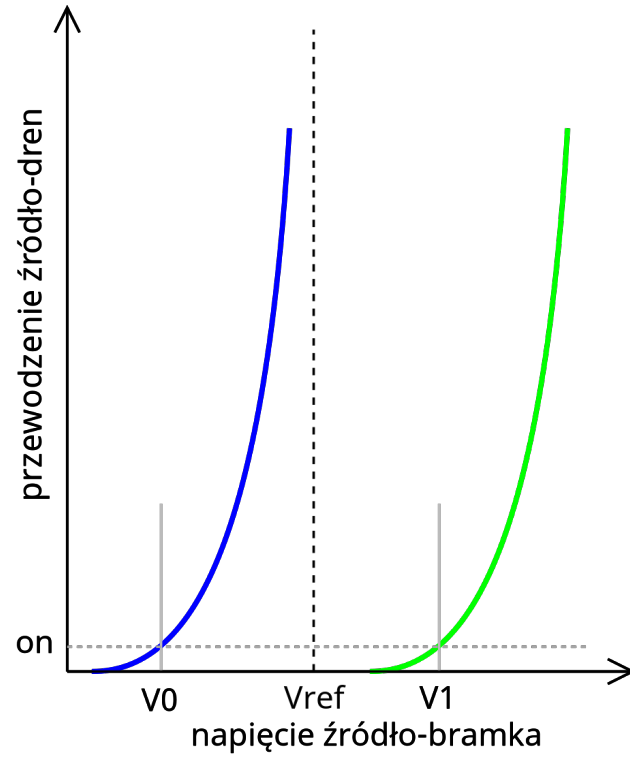


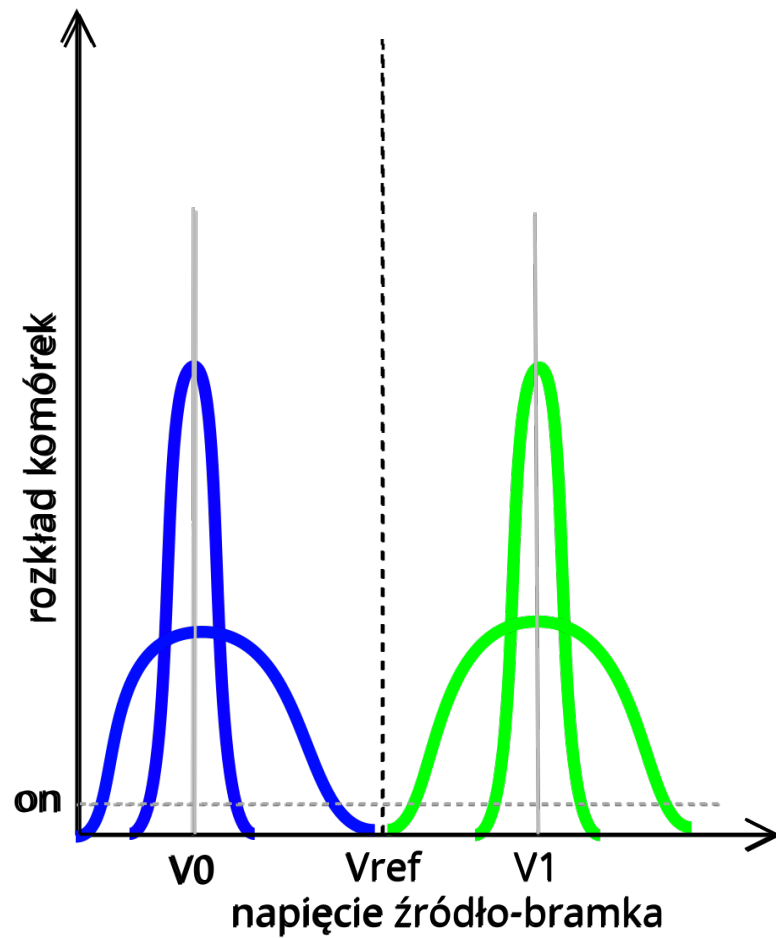
Zaczyna przewodzić (źródło-dren)
gdy napięcie źródło-bramka V_{gs}
odpowiednio wysokie

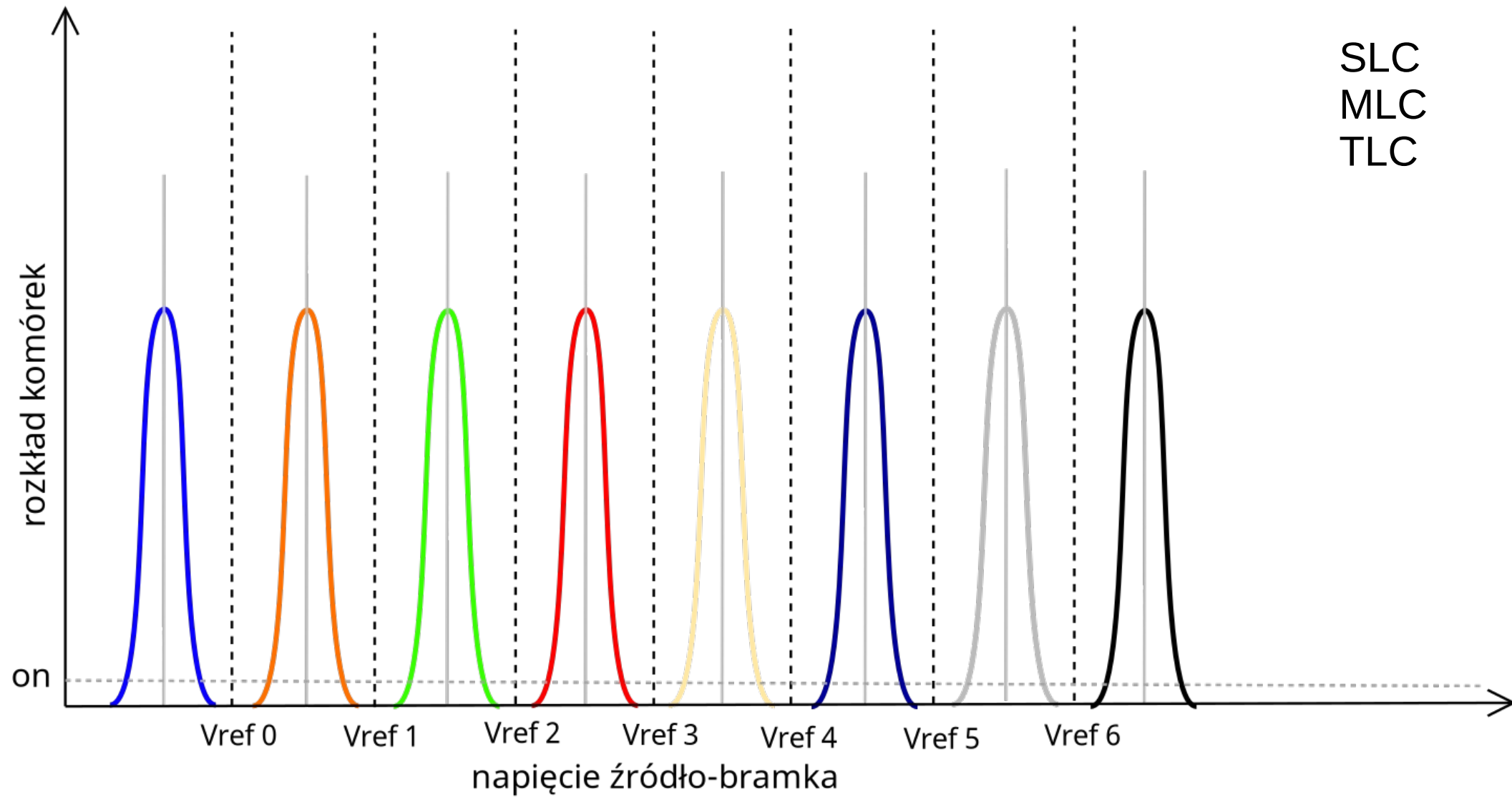


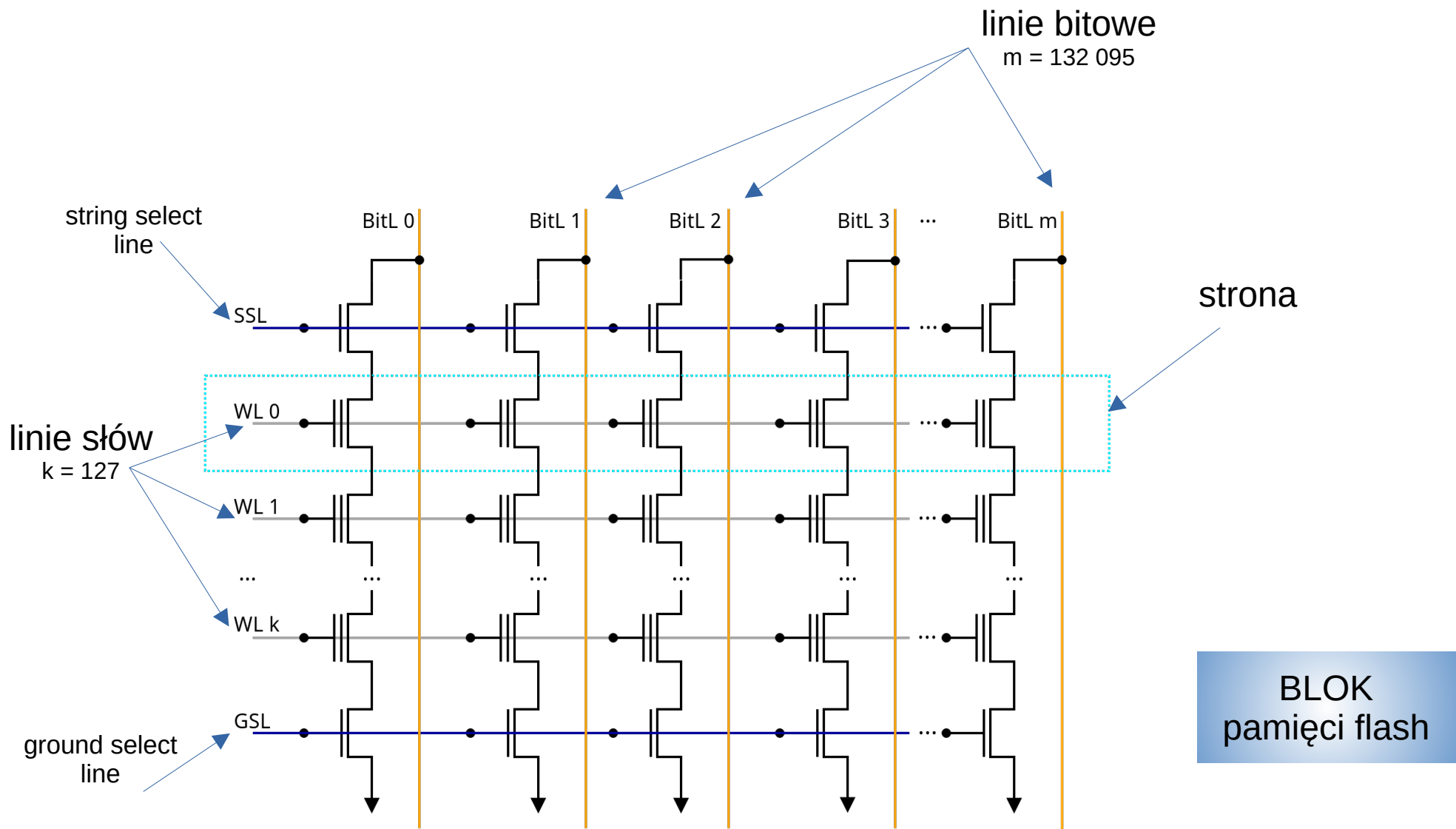
Ładunek zgromadzony
w pływającej bramce
reguluje wymagane napięcie V_{gs}

Poziomy Vgs

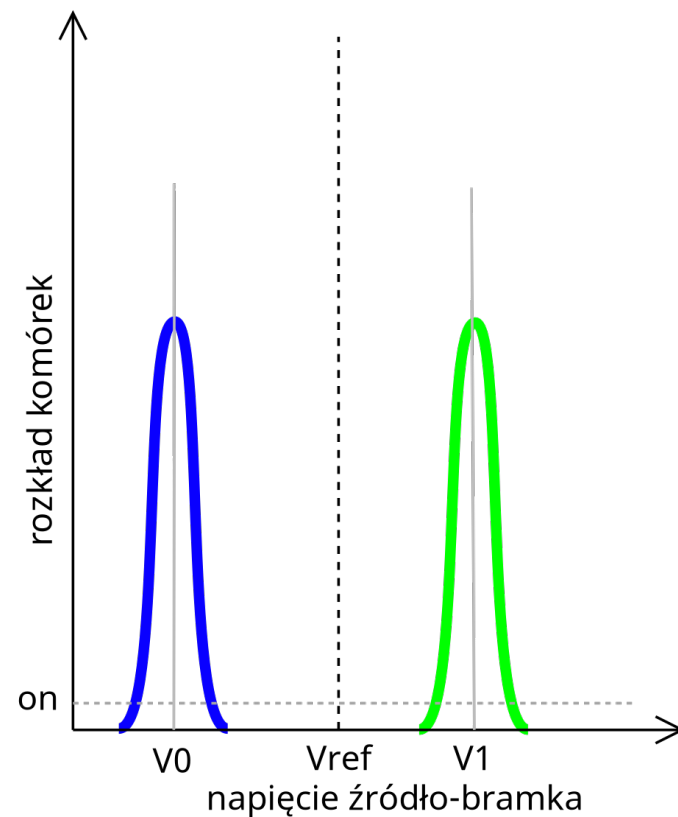
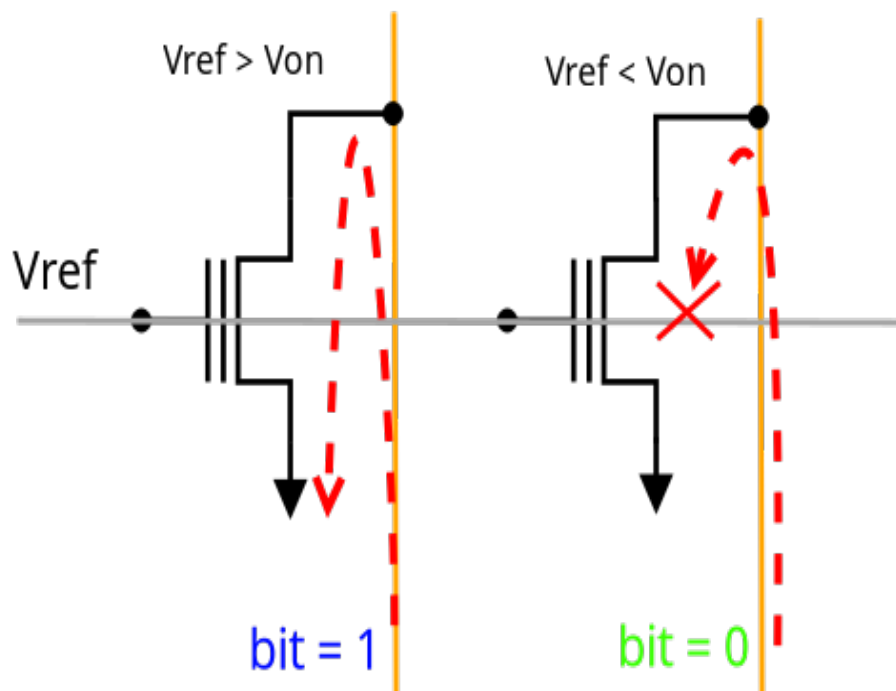




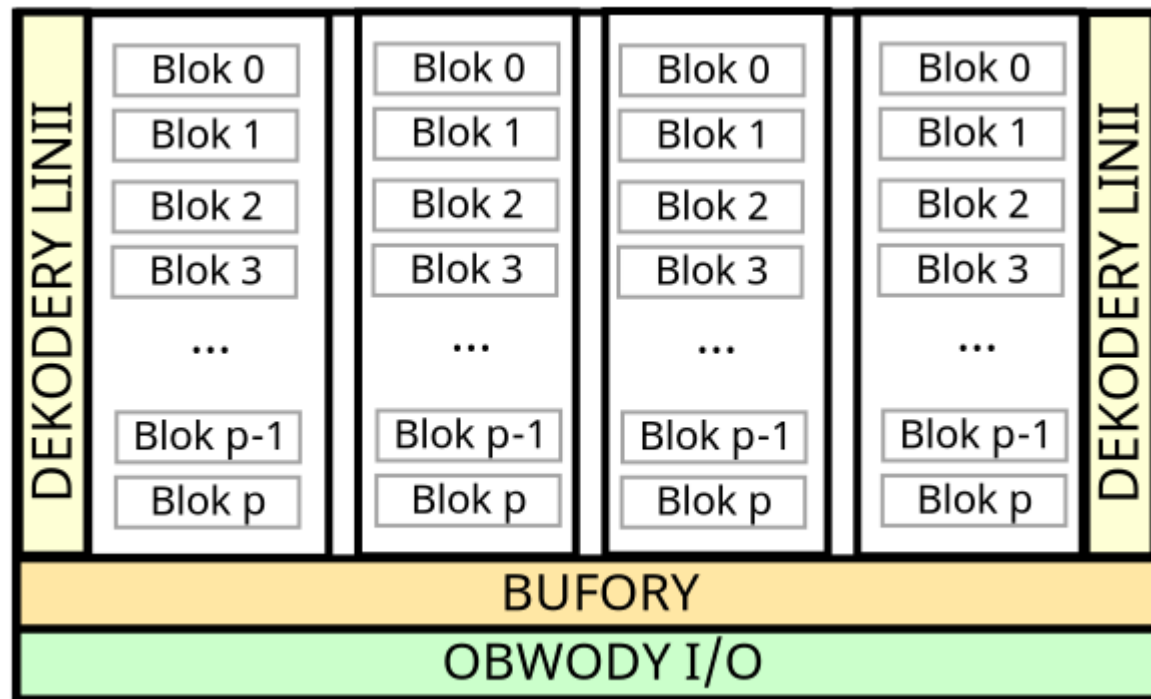




Odczyt dla danego V_{ref}

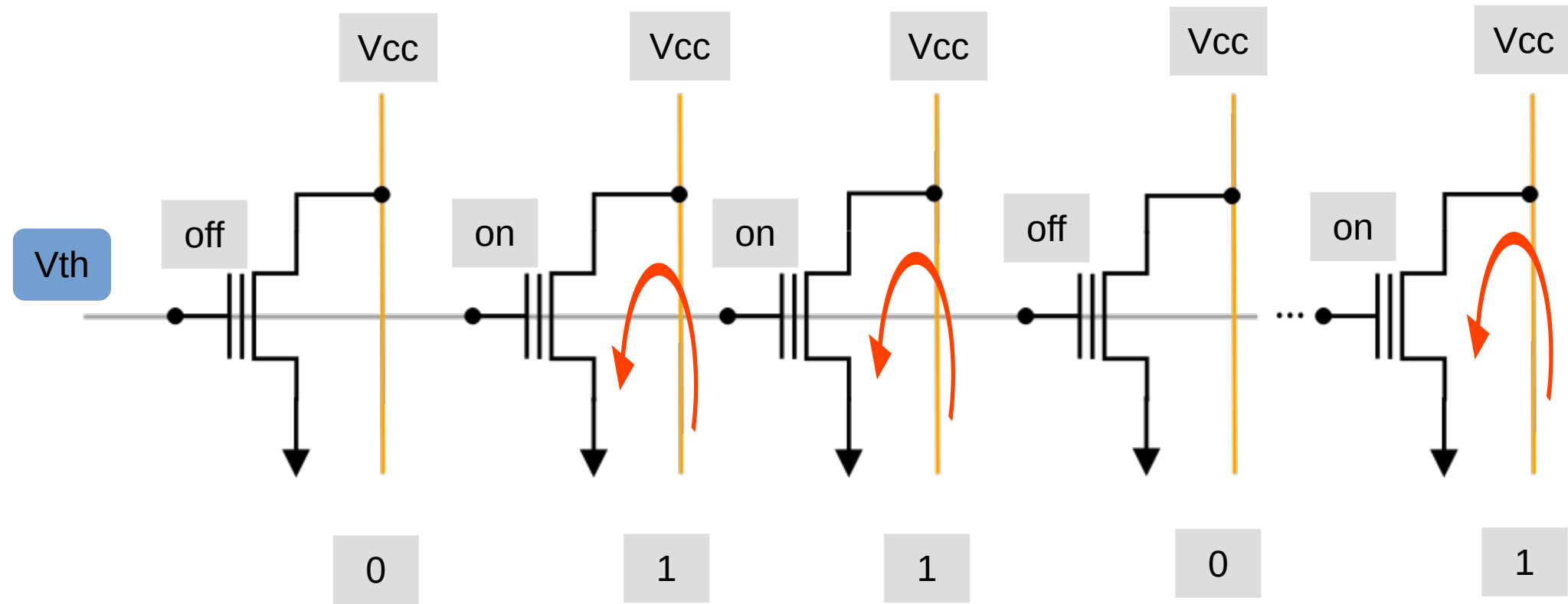


Kość (die) pamięci flash

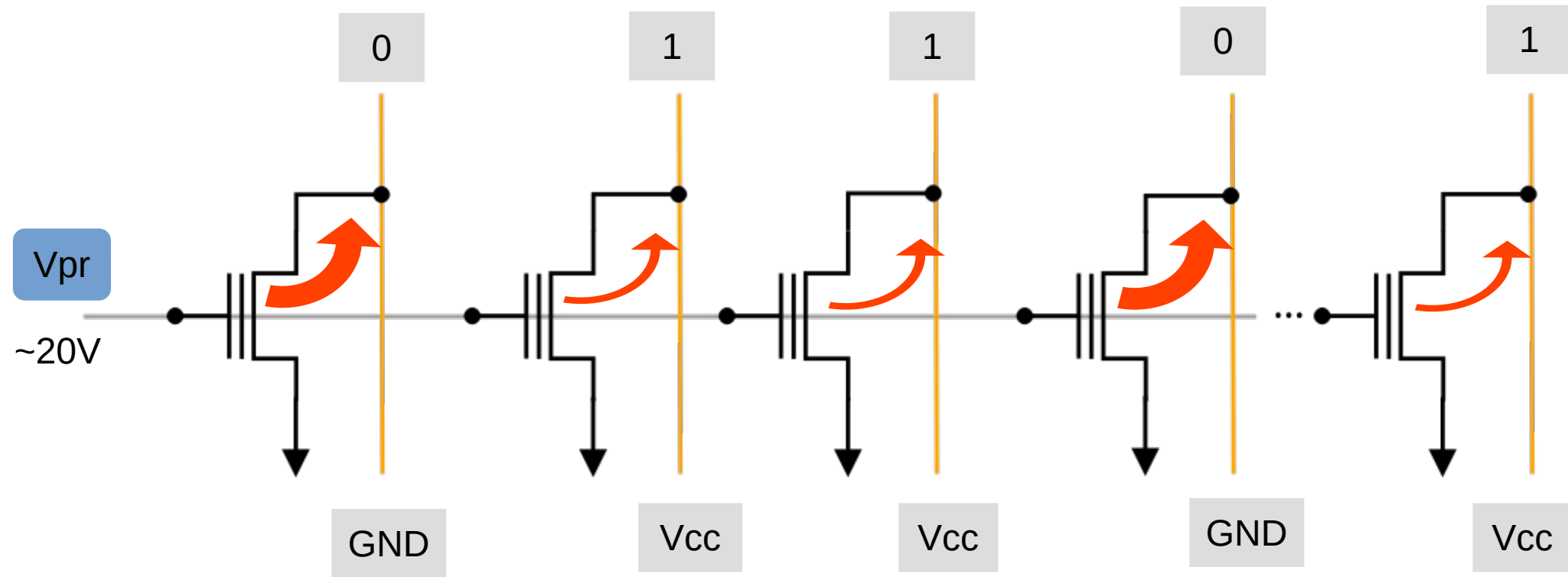


- Sekwencje bloków to *planes*
- *Planes* współdzielą dekodery linii/bitów
 - możliwe op. równoległe
 - tylko na tym samym WL
- Kości budują kanały

Odczyt, SLC (single level cell)

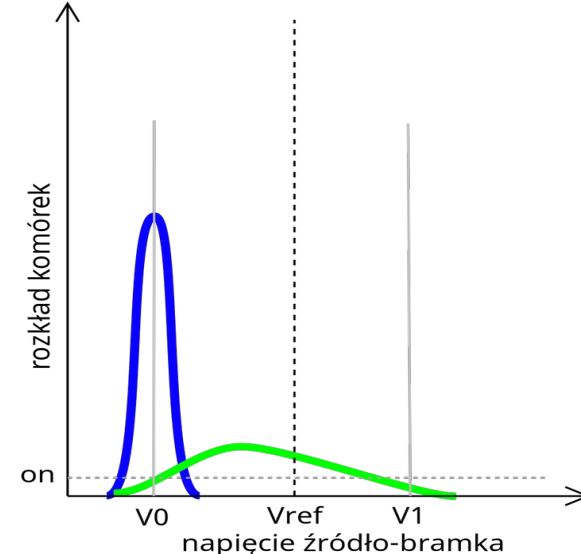


Zapis

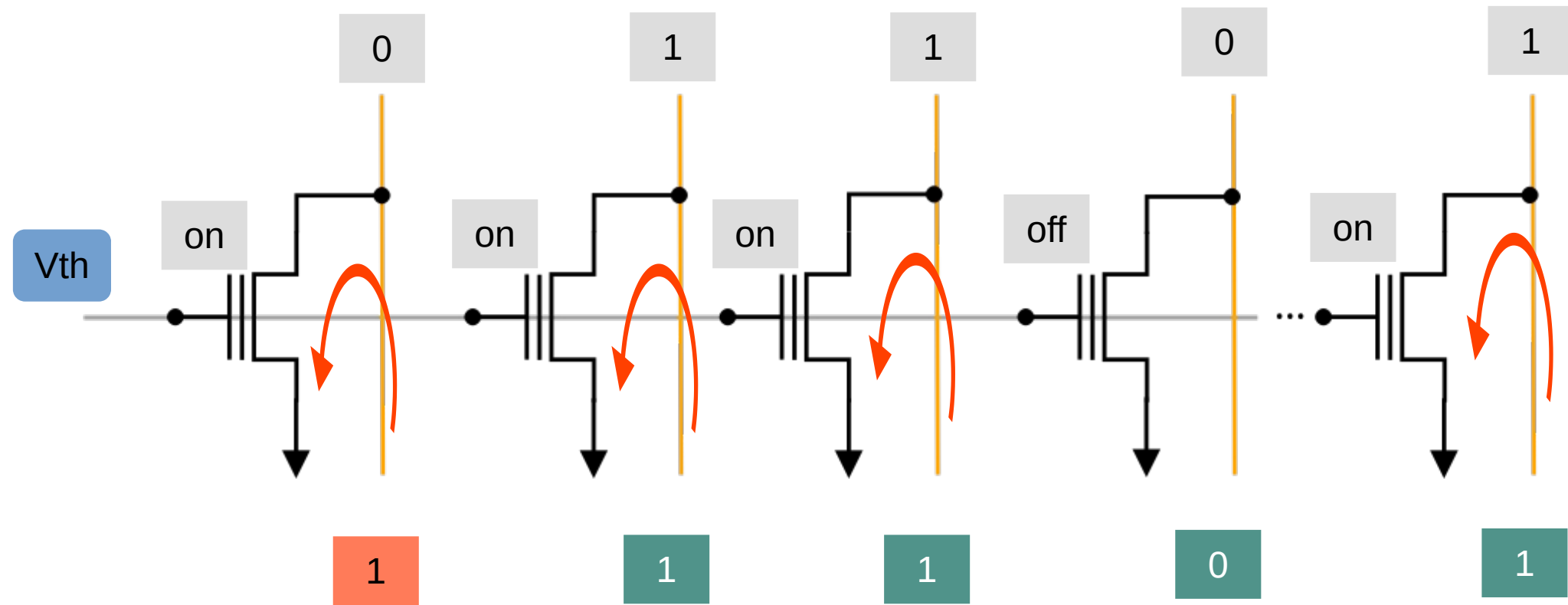


Incremental Step-Pulse Programming (ISPP)

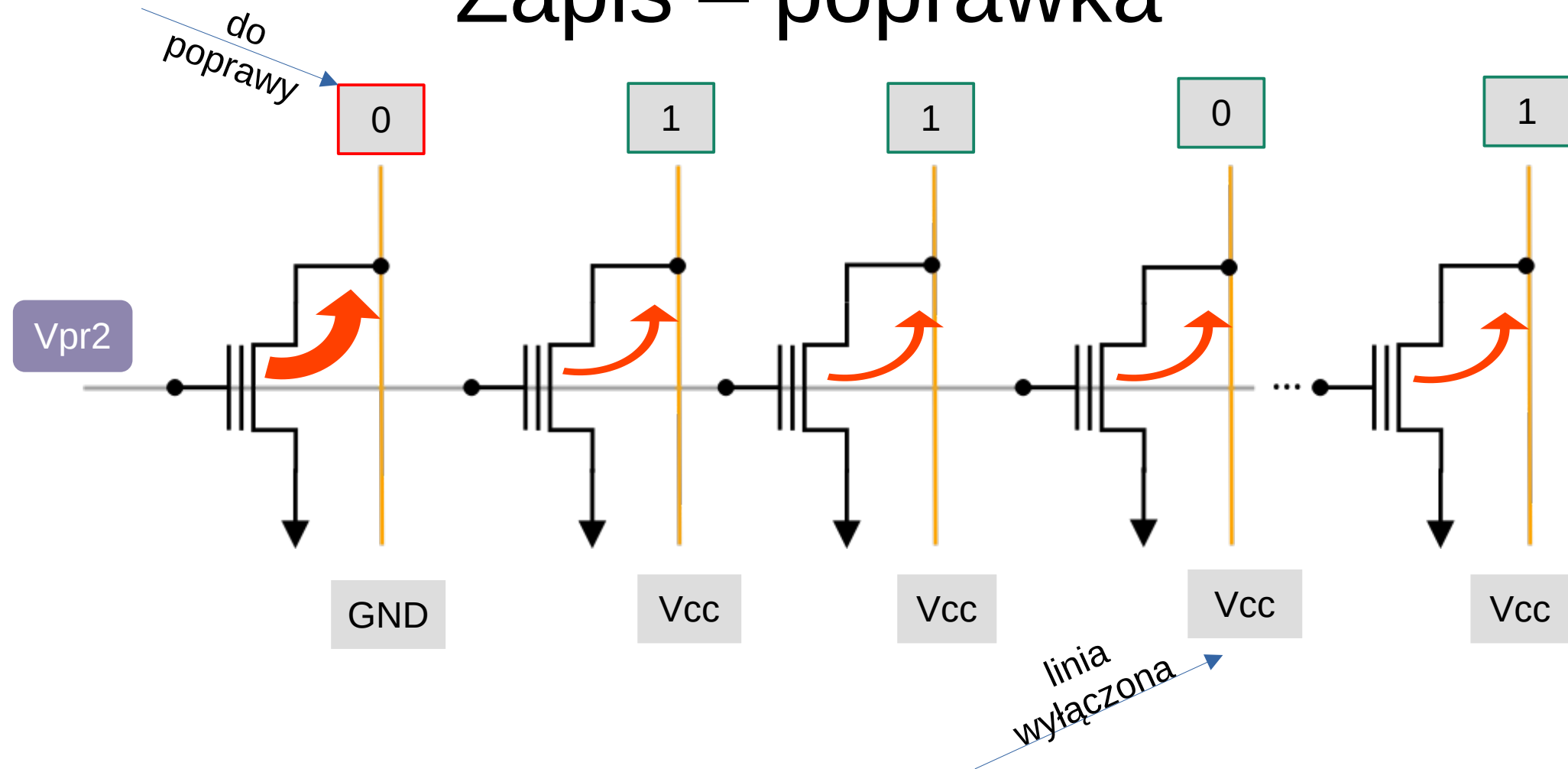
- Niektóre komórki programuje się łatwiej, inne trudniej
- Stosuje się stopniowe zwiększanie napięcia programowania V_{pr} z każdorazową kontrolą zapisu
 - dłuższy czas zapisu
 - niższe V_{pr} → lepsza żywotność komórek
 - V_{pr} analizowane przez firmware i dostosowywane online



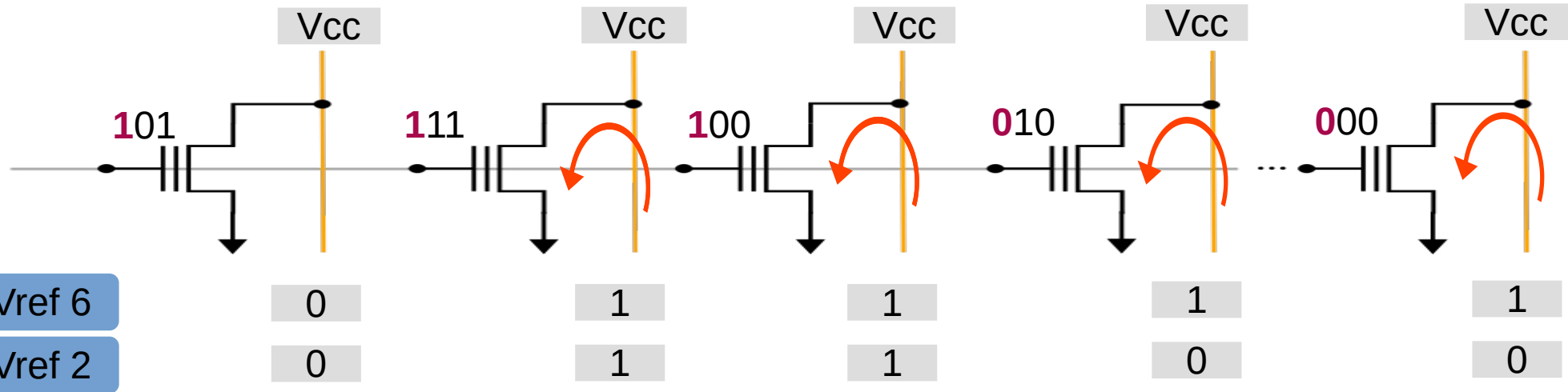
Weryfikacja zapisu



Zapis – poprawka



Odczyt, MLC (multi-level cell)



Vref 6

0

1

1

1

1

Vref 2

0

1

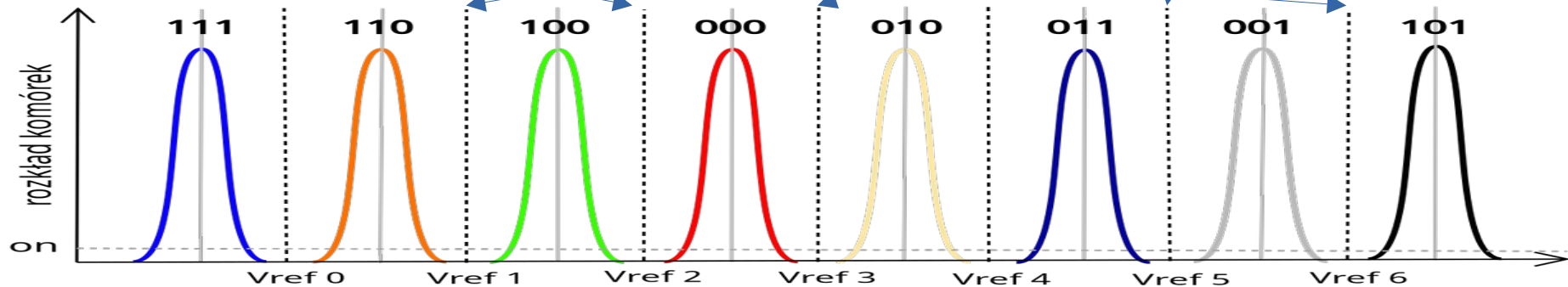
1

0

0

Vref dla
bitu 0

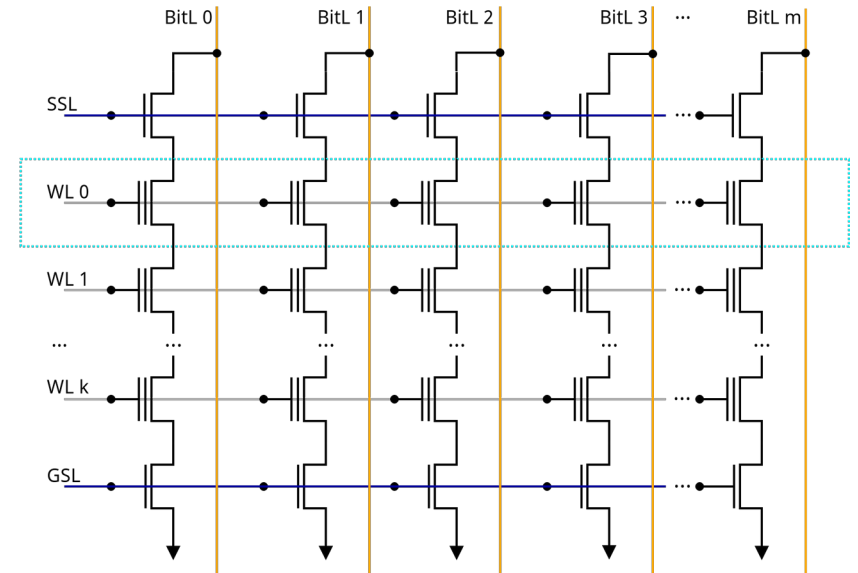
Vref dla
bitu 1



- Kodowanie bitów wpływa na czas dostępu
 - na różnych bitach można zapisywać informacje różnej wagi (wzgl. czasu dostępu)
- Technologia MLC wolniejsza, bardziej podatna
 - zastosowania SOHO/high-end
- Ścieżka badań...

Warstwy kontrolera SSD

- Host Interface Layer (HIL)
 - komunikacja z CPU {READ/WRITE, ADDRESS, OFFSET, bloki 4kB}
- Flash Translation Layer (FTL)
 - zarządzanie pam. podręczną
 - translacja adresów
 - garbage collection, wear-leveling
- Flash Controller + kontroler sprzętowy
 - ECC
 - randomizacja bitów
 - sterowanie chipem pamięci



FTL/zarządzanie pam. podręczną

- buforowanie danych przed zapisem/po odczytaniu
- planowanie I/O
 - wstrzymanie zapisu, by dać priorytet odczytowi
- przechowywanie danych przed zapisem
 - jeśli ponownie odczytane, zmniejsza liczbę zapisów
- ograniczony rozmiar (typowo ~0.1% rozmiaru)
 - na tyle mało, żeby zdążyć zapisać przy utracie zas.
- przechowuje mapowanie adresów L2P

FTL/garbage collector

- konsoliduje wolne strony
- wybiera bloki docelowe
 - dynamiczne kopiowanie w tle
- utrzymuje tablicę VALID/INVALID
 - aktualizacja tablicy translacji adresów logicznych
- hot–cold swapping

WR(0,1,'A')

Zapis do bloków (1)

0	A
1	
2	
3	
4	
5	
6	
7	
8	

0	0

B0	A	EV	0	0
		E		1
		E		2
B1		E		3
		E		4
		E		5
B2		E		6
		E		7
		E		8
B3		E		9
		E		10
		E		11

WR(0,1,'A')

WR(3,4,'QWER')

Zapis do bloków (2)

0	A
1	
2	
3	Q
4	W
5	E
6	R
7	
8	

0	0
3	1
4	2
5	3
6	4

B0	A	V	0	0
	Q	V	3	1
	W	V	4	2
B1	E	V	5	3
	R	V	6	4
		E		5
B2		E		6
		E		7
		E		8
B3		E		9
		E		10
		E		11

Zapis do bloków (3)

WR(0,1,'A')

WR(3,4,'QWER')

WR(3,2,'GH')

0	A
1	
2	
3	G
4	H
5	E
6	R
7	
8	

0	0
3	5
4	6
5	3
6	4

B0	A	V	0	0
	Q	I	3	1
	W	I	4	2
B1	E	V	5	3
	R	V	6	4
	G	V	3	5
B2	H	V	4	6
		E		7
		E		8
B3		E		9
		E		10
		E		11

Zapis do bloków (4)

WR(0,1,'A')

WR(3,4,'QWER')

WR(3,2,'GH')

WR(3,3,'BCD')

0	A
1	
2	
3	B
4	C
5	D
6	R
7	
8	

0	0
3	7
4	8
5	9
6	4

B0	A	v	0	0
	Q	I	3	1
	W	I	4	2

B1	E	I	5	3
	R	v	6	4
	G	I	3	5

B2	H	I	4	6
	B	v	3	7
	C	v	4	8

B3	D	v	5	9
		E		10
		E		11

Zapis do bloków (5)

WR(0,1,'A')

WR(3,4,'QWER')

WR(3,2,'GH')

WR(3,3,'BCD')

WR(4,3,'XXX')

0	A
1	
2	
3	B
4	C
5	D
6	R
7	
8	

0	0
3	7
4	8
5	9
6	4

B0	A	v	0	0
	Q	I	3	1
	W	I	4	2
B1	E	I	5	3
	R	v	6	4
	G	I	3	5
B2	H	I	4	6
	B	v	3	7
	C	v	4	8
B3	D	v	5	9
		E		10
		E		11

Zapis do bloków (6)

WR(0,1,'A')

WR(3,4,'QWER')

WR(3,2,'GH')

WR(3,3,'BCD')

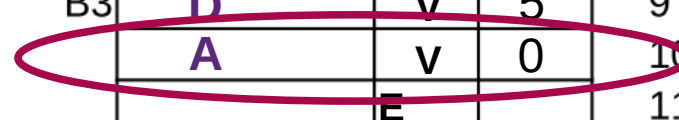
WR(4,3,'XXX')

0	A
1	
2	
3	B
4	C
5	D
6	R
7	
8	

0	10
3	7
4	8
5	9
6	4

B0		E		0
		E		1
		E		2
B1	E	I	5	3
	R	V	6	4
	G	I	3	5
B2	H	I	4	6
	B	V	3	7
	C	V	4	8
B3	D	V	5	9
	A	V	0	10
		E		11

blok
wyczyszczony



Zapis do bloków (7)

WR(0,1,'A')

WR(3,4,'QWER')

WR(3,2,'GH')

WR(3,3,'BCD')

WR(4,3,'XXX')

0	A
1	
2	
3	B
4	X
5	X
6	X
7	
8	

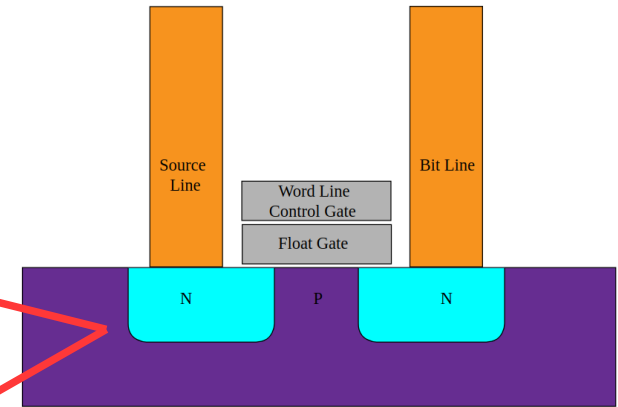
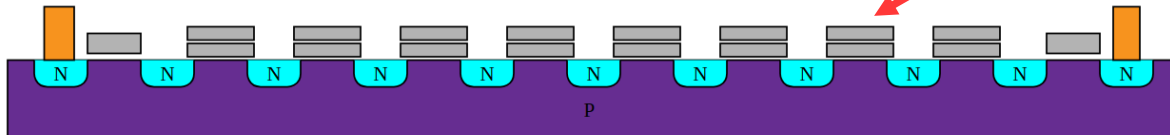
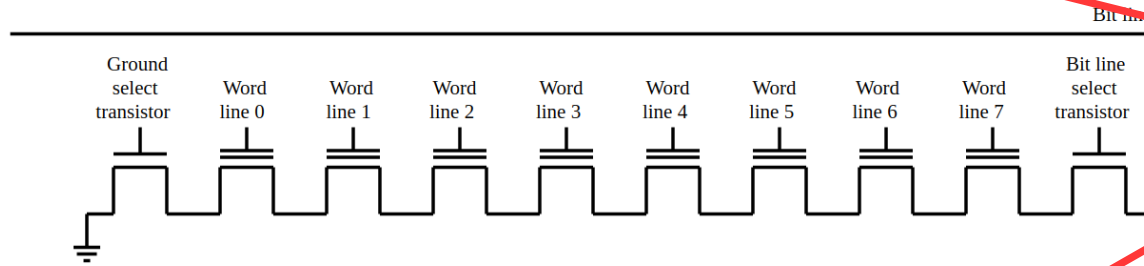
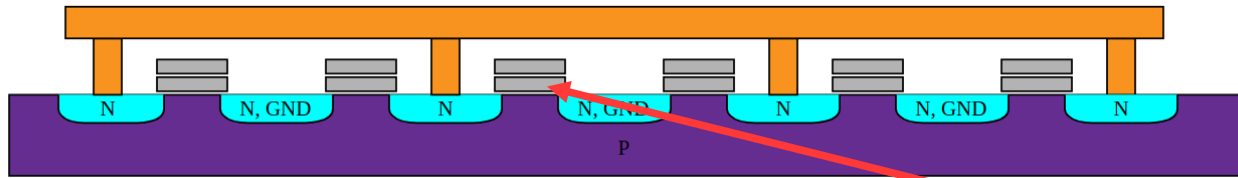
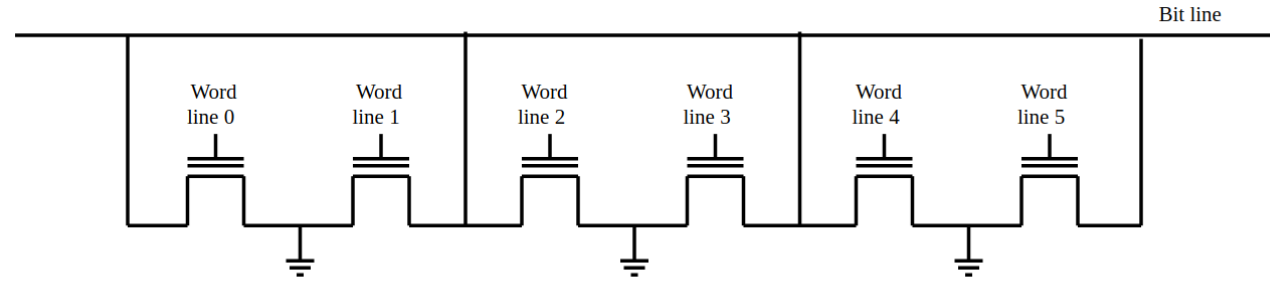
0	10
3	7
4	11
5	0
6	1

B0	X	V	5	0
	X	V	6	1
		E		2
B1	E	I	5	3
	R	I	6	4
	G	I	3	5
B2	H	I	4	6
	B	V	3	7
	C	I	4	8
B3	D	I	5	9
	A	V	0	10
	X	V	4	11

Garbage collection

- Wybór bloku do przeniesienia
 - LFO, Rand, ...
- Długi czas realizacji
 - $(\text{odczyt} + \text{zapis}) \times \text{l. linii} + \text{ERASE}$
 - *lazy erase*
- Optymalizacje
 - TRIM/UNMAP – OS zgłasza unieważnienie linii/adresów
 - GC w tle (gdy dysk bezczynny) – kiedy? a jeśli nastąpił TRIM?
 - GC w krokach (kopia strony + obsługa żądania + kopia strony + obsługa żądania...)
- Heavy hitters (hot/cold swapping)
 - dodatkowe, niewidoczne operacje P(rogram)/E(rase)
- Odświeżanie bloków

Flash: NOR/NAND



MOSFET
z pływającą bramką

	NOR	NAND
Gęstość/upakowanie	mniej	więcej
Czas odczytu	szybciej	wolniej
Moc przy odczycie	niższa	wyższa
Czas zapisu/kasowania	wolniej	szybciej
Moc przy zapisie/kasowaniu	wyższa	niższa
Moc bezczynności	niższa	wyższa
Żywotność	większa	mniejsza
Dostęp	losowy, bity	blokowy
Koszt/MB	wyższy	niższy
Zastosowanie	pamięć uP, wbudowane	pamięć masowa, SSD
Zapis		erase-before-write