

Systemy wbudowane - wykład do samodzielnej pracy (2)

Przemek Błaśkiewicz

18 marca 2020

Logika programowalna

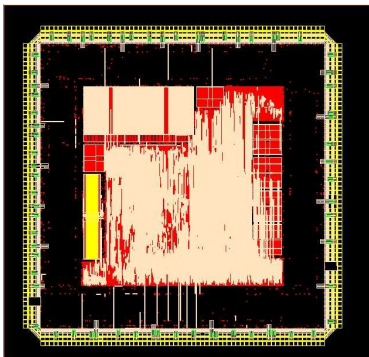
Procesory “programowalne” – modyfikowalny hardware: FPGA/CPLD ♠

Jako alternatywa dla gotowych układów scalonych: generalnego przeznaczenia (procesory, mikrokontrolery) oraz specjalnego przeznaczenia (ASIC).

Programowanie \Rightarrow nadanie cech umożliwiających wykonywanie konkretnych operacji/obliczeń.

Skoro programowanie, to i język programowania (HDL ♠)

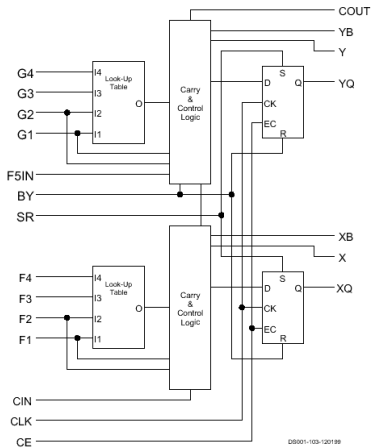
<https://blog.digilentinc.com/six-reasons-you-should-consider-fpgas-over-asics-or-cpu-gpus/> ♠



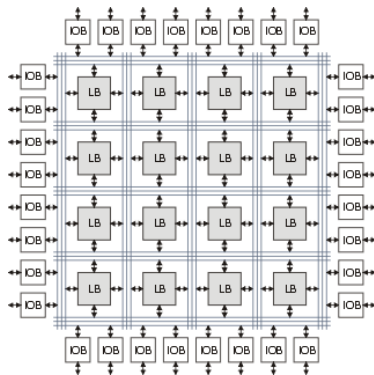
"The next stage was then to physically translate that code to create a test board hosting a programmable chip called a 'field programmable gate array' (FPGA) where the LEON design could be put to work and tested."

- ♠ LEON: the making of a microprocessor for space
- ♠ Leon – a new recipe for chips - www.ESA.int

Podstawowe komórki FPGA



- co znajomego widać z AKiSO?
- look-up-table (LUT) - 1-bitowa pamięć z 16 adresami (!!)
 - ↳ zawartość określana w trakcie kompilacji
- dodatkowa "drobnica" (carry chain, OR, XOR ...)
- SLICE budują CLB-y (configurable logic block) ♠
- CLB mają szybkie połączenia z sąsiadami



- IOB = input-output block (bufory we/wy)
- łączy co dwa, co 4, co 8 CLB oraz wszystkie w koło szybkimi magistralami (bez buforów)
- układ mnożący (w Virtexie 18x18 bitów)
 - ↳ bo często mnożymy i szkoda na to CLB
- rozsiane bloki pamięci RAM (po np. 18kBit)
 - ↳ znowu: szkoda na to przerzutników w SLICE-ach
- układ kompensacji zegara
 - ↳ impuls w jednym "kącie" układu pojawi się szybciej, niż w drugim i co wtedy?

Czyli: opis na poziomie kwadracika z wejściami i wyjściami

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.ALL;

entity twoway is
  GENERIC (NBit : positive := 8);
  PORT ( clk : in  STD_LOGIC;
        q  : out  STD_LOGIC_VECTOR (NBit-1 downto 0)
          := (OTHERS => '0') -- stan power-on
        );
end twoway;
```

Jest to pudełko twoway z wejściem 1-bitowym (clk) i wyjściem wielobitowym parametryzowanym (Nbit) – można podać, ile tych bitów ma być (domyślnie 8).

Czyli: opis co się dzieje z WE do kwadracika, by wyprodukować WY

```
ARCHITECTURE Behavioral OF twoway IS
BEGIN
  PROCESS(clk)
    VARIABLE x : UNSIGNED(NBit-1 downto 0) := (others => '0');
    VARIABLE dir: STD_LOGIC := '0';
    BEGIN
      IF (clk'event AND clk='1') THEN
        IF dir = '1' THEN
          x := x+1;
          IF x > 2 ** NBit -1 THEN
            dir := '0';
          END IF;
        ELSE
          x := x-1;
          IF x = 0 THEN
            dir := '1';
          END IF;
        END IF;
      END IF;
      q <= STD_LOGIC_VECTOR(x);
    END PROCESS;
END Behavioral;
```

Co tu się dzieje? Jakie będzie wyjście (q) po kolejnych zmianach clk? ♠

Bierzemy kwadracik i dajemy mu na wejście...

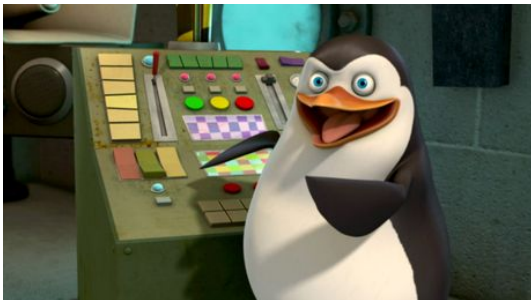
```
-- ...
entity twoway_tb is
end twoway_tb;

architecture behavioural of twoway_tb is
  component twoway
    generic (NBit : positive);
    port( clk : in std_logic;
          q : out std_logic_vector(NBit-1 downto 0) );
  end component;

  signal clk : std_logic := '0';
  signal l : std_logic_vector(size-1 downto 0);
begin
  uut: twoway generic map ( Nbit => size )
    port map ( clk => clk, q => l );

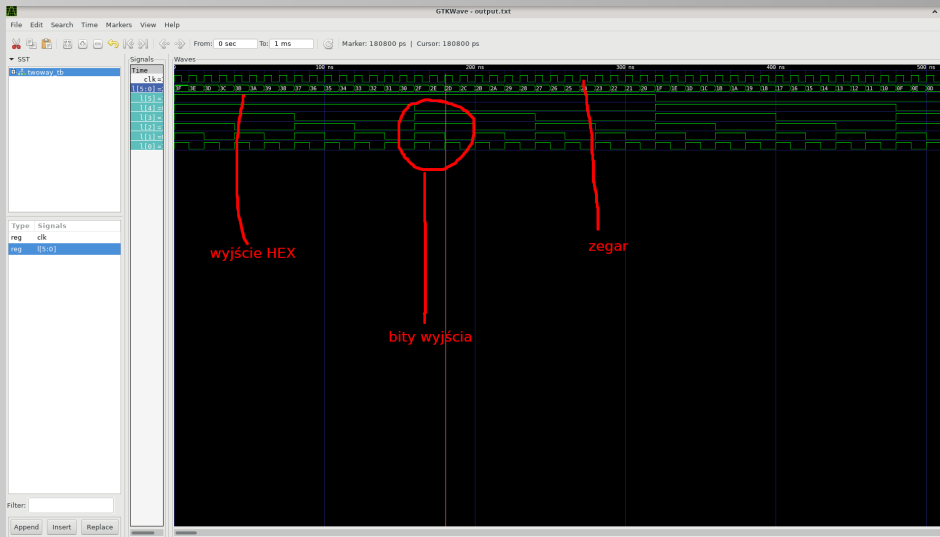
  clk_process: process
  begin
    clk <= not clk;
    wait for clk_period/2;
  end process;

  stimulate_process: process
  begin
    wait; -- let counter run
  end process;
end behavioural;
```

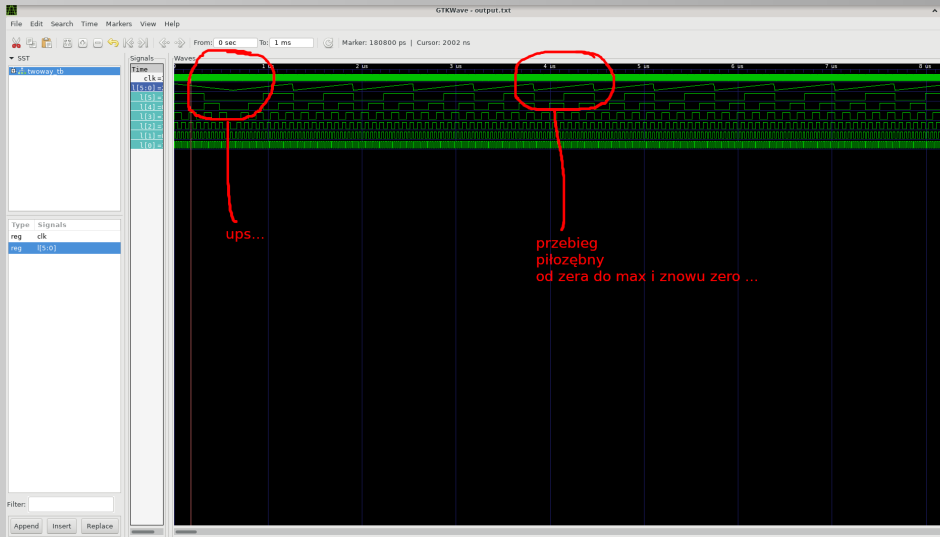
- `ghdl -a twoway.vhd`
- `ghdl -a twoway_tb.vhd`
- `ghdl -e twoway_tb`
- `./twoway_tb --stop-time=1ms --vcd-file=output.txt`
- `gtkwave output.txt`

Skala - dziesiątki nanosekund



Widać zegar oraz rosnące wartości na wyjściu - traktowane jako liczba HEX i pojedyncze bity.

Skala - mikrosekundy

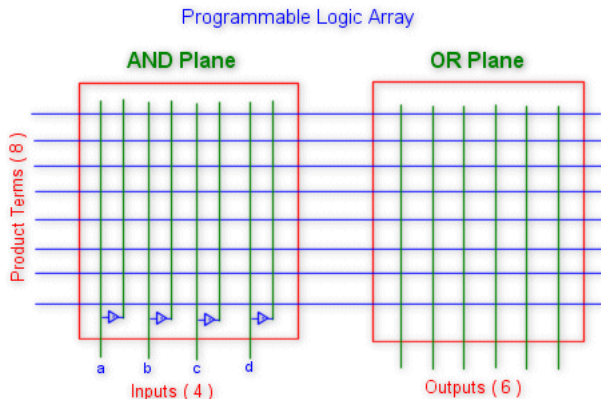


Widać, że pierwsze dojście do zera jest inne, niż pozostałe. To co jest nie tak?! ♠

Trochę słabszy sprzęt, ale...

- stałe bramki, konfigurowalne połączenia
- FPLA, GAL – reprogramowalne
- GAL, PAL – stałe łączenia bramek OR
- dysjunkcyjna postać normalna (wow!)
- dobre gdy iloczyny wielu we “kompresowane” do alternatywy

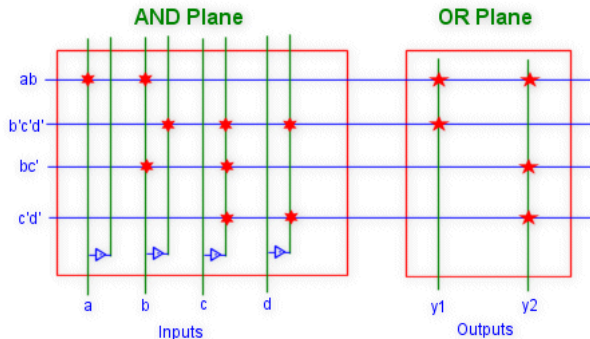
SPLD - dwie płaszczyzny, AND, OR



Przygotowane linie do AND-owania wejść (lub ich negacji
a następnie OR-owania produktów

SPLD - dwie płaszczyzny, AND, OR

Programmable Logic Array (4 x 4 x 2)

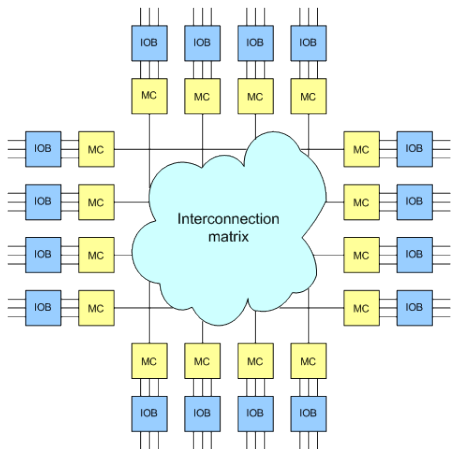


Implementation of the shown functions using PLA

$$y1 = ab + b'c'd'$$
$$y2 = ab + bc' + c'd'$$



CPLD – Complex Programmable Logic Device



- LB - logic blocks (kilka)
- microcells - $\sim 8-16$ w LB
- MC połączone w LB
- LB połączone w CPLD

PLD

- nieulotnie programowalne
- bloki we/wy bezpośrednio do LB
- dalej podstawą suma-produktów

FPGA

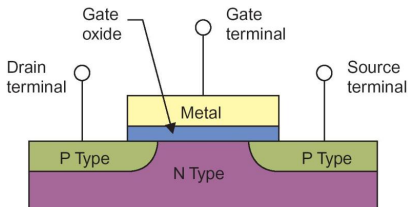
- zwiększona złożoność operacji
- dużo bramek
- podzespoły ogólnego przeznaczenia

- **przewidywalne** opóźnienia czasowe **krótsze niż FPGA**
 - krytyczne, “high-performance” aplikacje nadzorcze
- **niedrogie i oszczędne** energetycznie
 - wymagające finansowo, bateryjne systemy mobilne (sensory)
 - proste aplikacje np. 1-z-N, dekodowanie adresów etc.
- **mniej wszechstronna** struktura
- **ograniczona** ilość wejść dla microcell

Tranzystor polowy - MOSFET

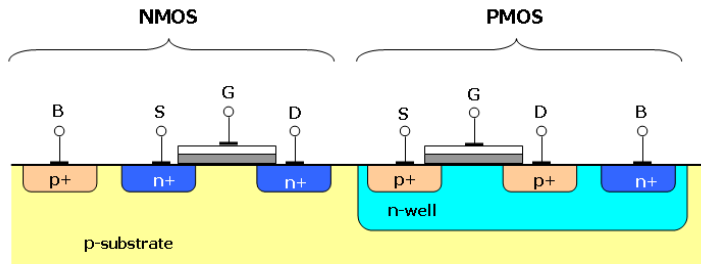
Metal-On-Silicon, Field-Effect, Transistor → MOSFET

Tutaj pokazany pMOS (tworzy się kanał "typu P")



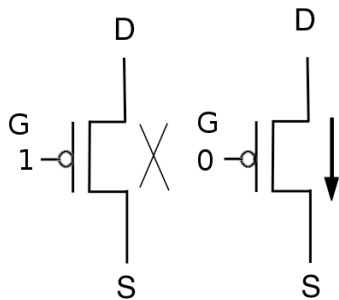
- P-type i N-type to domieszkowany krzem (z dziurami (+) i elektronami (-), odpowiednio. To są wolne nośniki.
- *Uproszczenie!* Jeśli bramka (Gate) ma potencjał (-), to "odpycha" od siebie elektrony, zostają dziury (+)
↳ tworzy się kanał między drenem a źródłem → przewodzenie
- ♠ https://www.youtube.com/watch?v=tz62t-q_KEc (pokazany "odwrotny" tranzystor nMOS, zasada ta sama)

Complementary MOSFET (CMOS)



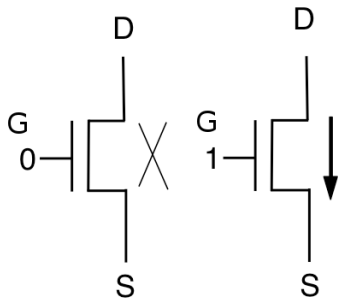
Dwa rodzaje tranzystora MOS (pMOS i nMOS) można ładnie ułożyć na jednym kawałku krzemu...

pMOS

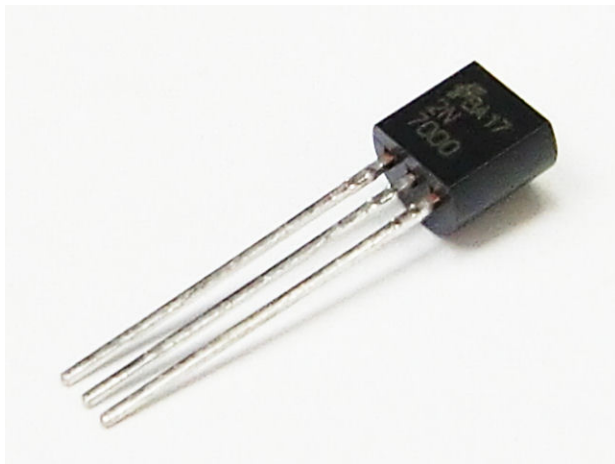


$G = 0 \rightarrow$ przewodzenie
 $G = 1 \rightarrow$ brak przewodzenia

nMOS



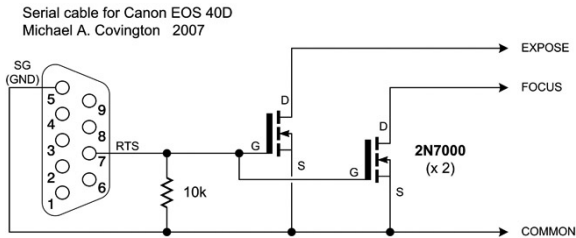
$G = 0 \rightarrow$ brak przewodzenia
 $G = 1 \rightarrow$ przewodzenie



kupić...

Można sobie

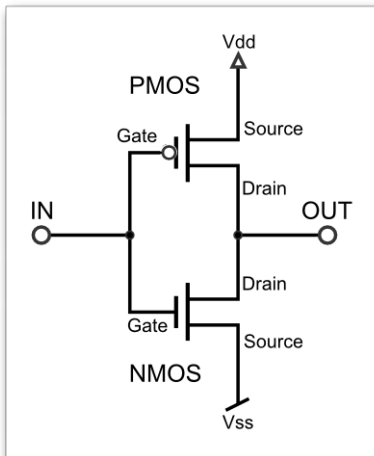
MOSFET 2N7000



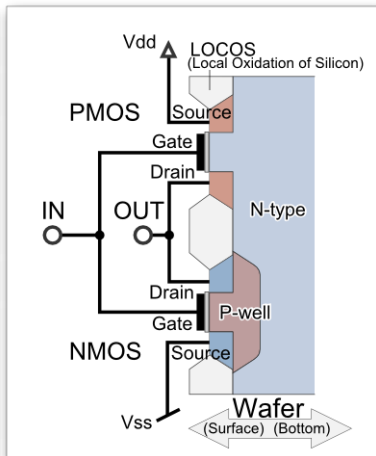
- Tranzystor jako przełącznik sterowany linią RTS (ze standardu RS-232, o którym później).
- Tutaj mamy tranzystory nMOS (oznaczenia symboliczne są różne, zob wikipedia Eng. MOSFET)
- Zatem: $RTS = 5V \rightarrow$ tranzystory przewodzą \rightarrow sygnał pomiaru ekspozycji i ostrości

CMOS inverter

Model chart

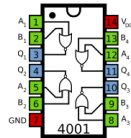
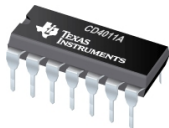
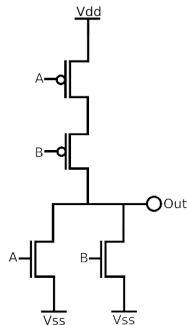
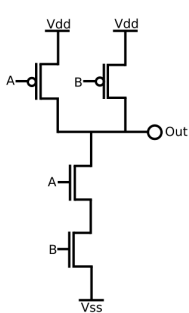


Silicon wafer

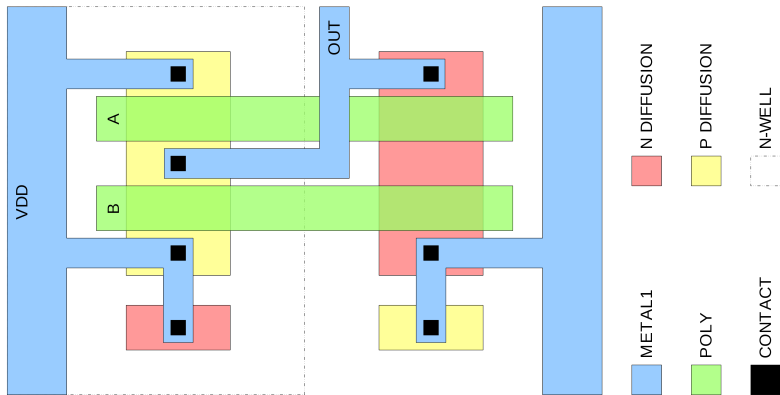


Bramki logiczne CMOS - NAND, NOR, budowa, kupno...

Jak to działa? ♠



Co to może być? ♠



Rzeczy do zapamiętania

- budowa, porównanie FPGA, (S/C)PLD;
- technologia CMOS: bramki INV, NAND, NOR;

Do przeczytania

- http://www.esa.int/Our_Activities/ \Rightarrow LEON – a new recipe for chips.