

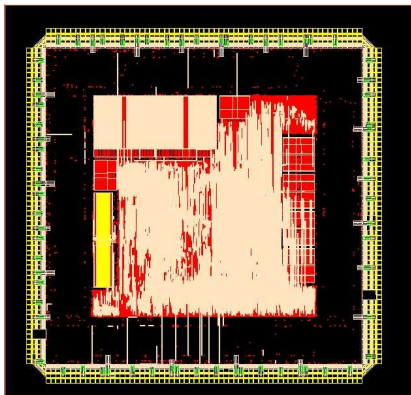
Systemy wbudowane - wykład 9

Przemek Błaśkiewicz

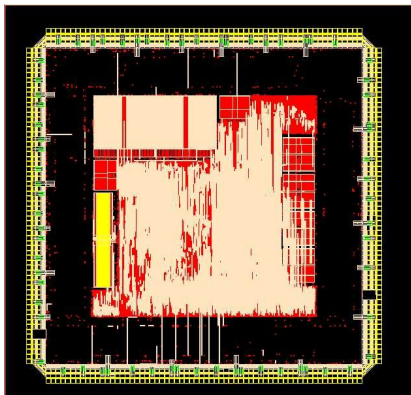
30 maja 2019

Procesory “programowalne”

– modyfikowalny hardware: FPGA/CPLD

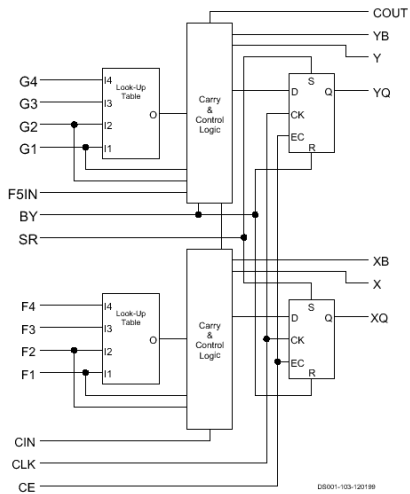


Leon – a new recipe for chips - www.ESA.int



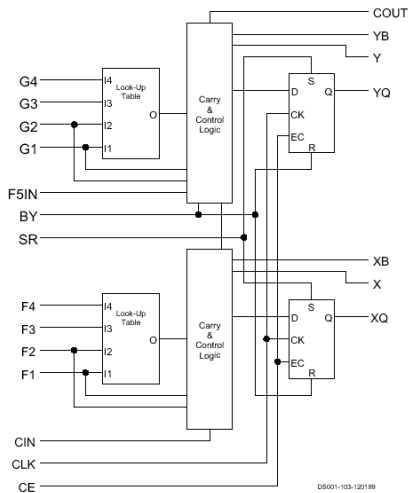
“The next stage was then to physically translate that code to create a test board hosting a programmable chip called a ‘field programmable gate array’ (FPGA) where the LEON design could be put to work and tested.”

Leon – a new recipe for chips - www.ESA.int



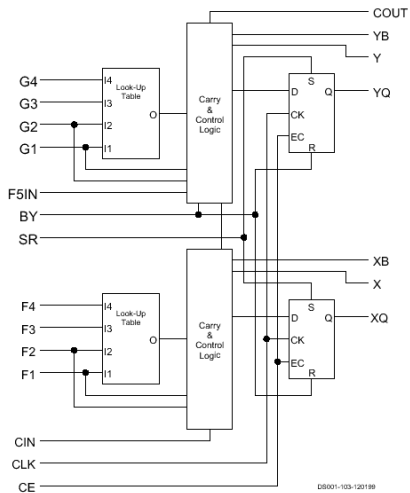
SLICE

DS001-103-120189

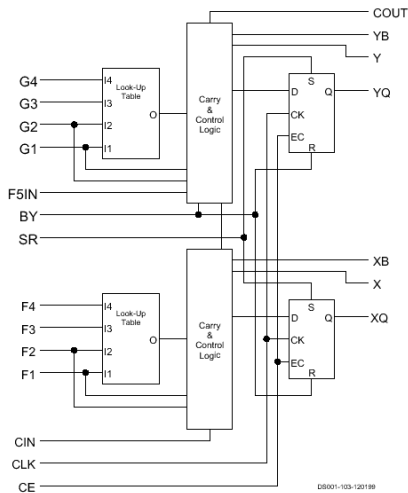


SLICE

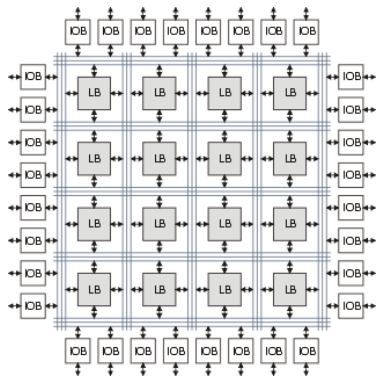
- wchodzi w skład CLB (configurable logic block)

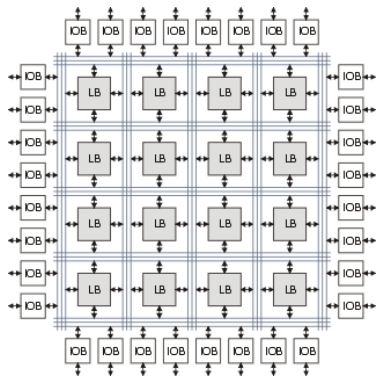


- wchodzi w skład CLB (configurable logic block)
- dodatkowa "drobnica" (carry chain, OR, XOR ...)

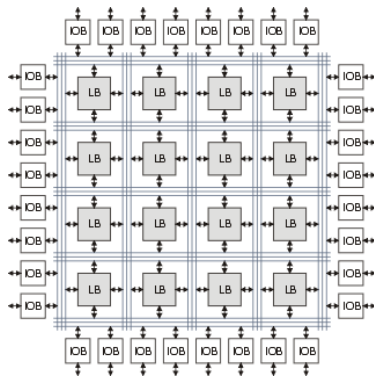


- wchodzi w skład CLB (configurable logic block)
- dodatkowa "drobnica" (carry chain, OR, XOR ...)
- CLB mają szybkie połączenia z sąsiadami

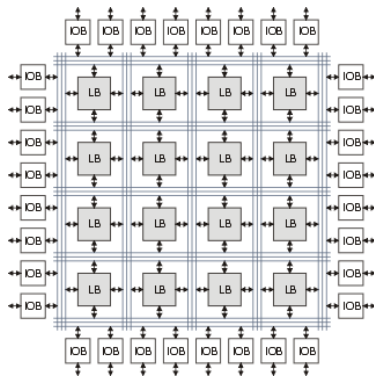




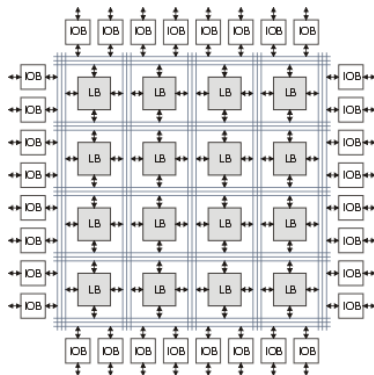
- łączę co dwa, co 4, co 8, wszystkie w koło



- łączę co dwa, co 4, co 8, wszystkie w koło
- układ mnożący (w Virtexie 18x18 bitów)



- łączę co dwa, co 4, co 8, wszystkie w koło
- układ mnożący (w Virtexie 18x18 bitów)
- rozszane bloki pamięci RAM (po np. 18kBit)



- łączę co dwa, co 4, co 8, wszystkie w koło
- układ mnożący (w Virtexie 18x18 bitów)
- rozsiane bloki pamięci RAM (po np. 18kBit)
- peryferia plus układ kompensacji zegara

```
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.numeric_std.ALL;

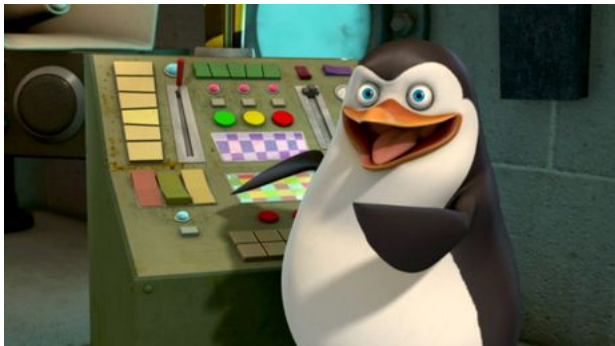
entity twoway is
    GENERIC (NBit : positive := 8);
    PORT ( clk : in  STD_LOGIC;
          q  : out  STD_LOGIC_VECTOR (NBit-1 downto 0)
          := (OTHERS => '0') -- stan power-on
        );
end twoway;
```

VHDL - działanie jednostki

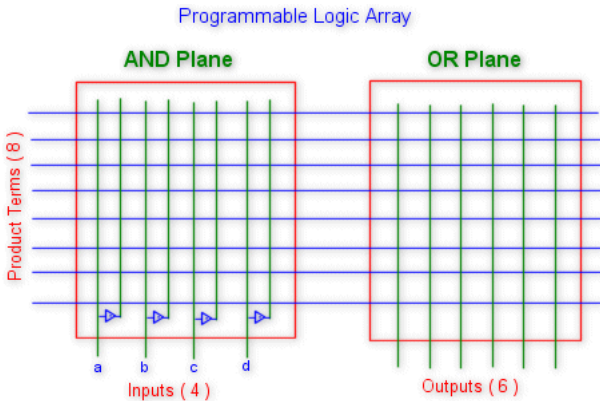
```
ARCHITECTURE Behavioral OF twoway IS
BEGIN
  PROCESS(clk)
    VARIABLE x : UNSIGNED(NBit-1 downto 0) := (others => '0');
    VARIABLE dir: STD_LOGIC := '0';
    BEGIN
      IF (clk'event AND clk='1') THEN
        IF dir = '1' THEN
          x := x+1;
          IF x > 2 ** NBit -1 THEN
            dir := '0';
          END IF;
        ELSE
          x := x-1;
          IF x = 0 THEN
            dir := '1';
          END IF;
        END IF;
      END IF;
      q <= STD_LOGIC_VECTOR(x);
    END PROCESS;
END Behavioral;
```

```
-- ...  
entity twoway_tb is  
end twoway_tb;  
  
architecture behavioural of twoway_tb is  
  component twoway  
    generic (NBit : positive);  
    port( clk : in std_logic;  
          q : out std_logic_vector(NBit-1 downto 0) );  
  end component;  
  
  signal clk : std_logic := '0';  
  signal l : std_logic_vector(size-1 downto 0);  
begin  
  uut: twoway generic map ( Nbit => size )  
            port map ( clk => clk, q => l );  
  
  clk_process: process  
  begin  
    clk <= not clk;  
    wait for clk_period/2;  
  end process;  
  
  stimulate_process: process  
  begin  
    wait; -- let counter run  
  end process;  
end behavioural;
```


Live!

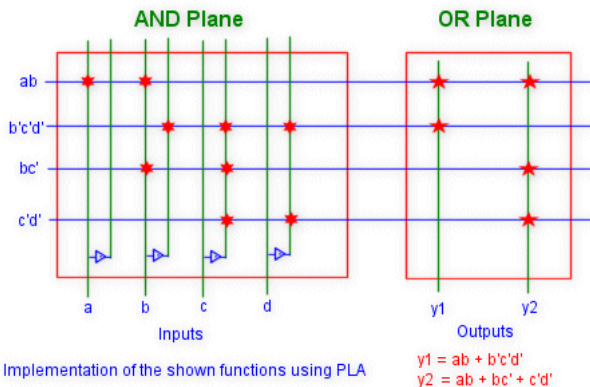


SPLD - dwie płaszczyzny, AND, OR



SPLD - dwie płaszczyzny, AND, OR

Programmable Logic Array (4 x 4 x 2)



- stałe bramki, konfigurowalne połączenia

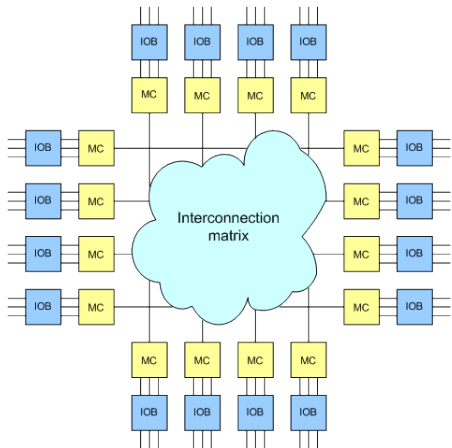
- stałe bramki, konfigurowalne połączenia
- FPLA, GAL – reprogramowalne

- stałe bramki, konfigurowalne połączenia
- FPLA, GAL – reprogramowalne
- GAL, PAL – stałe łączenia bramek OR

- stałe bramki, konfigurowalne połączenia
- FPLA, GAL – reprogramowalne
- GAL, PAL – stałe łączenia bramek OR
- dysjunkcyjna postać normalna

- stałe bramki, konfigurowalne połączenia
- FPLA, GAL – reprogramowalne
- GAL, PAL – stałe łączenia bramek OR
- dysjunkcyjna postać normalna
- dobre gdy iloczyny wielu we “kompresowane” do alternatywy

CPLD – Complex Programmable Logic Device



- LB - logic blocks (kilka)
- microcells - \sim 8-16 w LB
- MC połączone w LB
- LB połączone w CPLD

PLD

- nieulotnie programowalne
- bloki we/wy bezpośrednio do LB
- dalej podstawą suma-produktów

FPGA

- zwiększona złożoność operacji
- dużo bramek
- podzespoły ogólnego przeznaczenia

- przewidywalne opóźnienia czasowe **krótsze niż FPGA**

- przewidywalne opóźnienia czasowe **krótsze niż FPGA**
 - krytyczne, “high-performance” aplikacje nadzorcze

- **przewidywalne** opóźnienia czasowe **krótsze niż FPGA**
 - krytyczne, “high-performance” aplikacje nadzorcze
- **niedrogie i oszczędne** energetycznie

- **przewidywalne** opóźnienia czasowe **krótsze niż FPGA**
 - krytyczne, “high-performance” aplikacje nadzorcze
- **niedrogie i oszczędne** energetycznie
 - wymagające finansowo, bateryjne systemy mobilne (sensory)

- **przewidywalne** opóźnienia czasowe **krótsze niż FPGA**
 - krytyczne, “high-performance” aplikacje nadzorcze
- **niedrogie i oszczędne** energetycznie
 - wymagające finansowo, bateryjne systemy mobilne (sensory)
 - proste aplikacje np. 1-z-N, dekodowanie adresów etc.

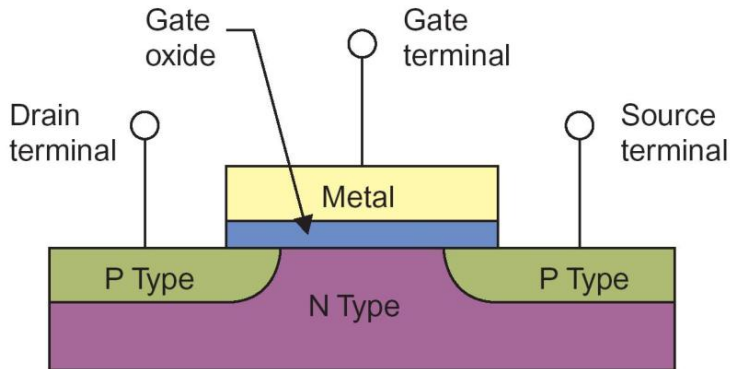
- **przewidywalne** opóźnienia czasowe **krótsze niż FPGA**
 - krytyczne, “high-performance” aplikacje nadzorcze
- **niedrogie i oszczędne** energetycznie
 - wymagające finansowo, bateryjne systemy mobilne (sensory)
 - proste aplikacje np. 1-z-N, dekodowanie adresów etc.
- **mniej wszechstronna** struktura

- **przewidywalne** opóźnienia czasowe **krótsze niż FPGA**
 - krytyczne, “high-performance” aplikacje nadzorcze
- **niedrogie i oszczędne** energetycznie
 - wymagające finansowo, bateryjne systemy mobilne (sensory)
 - proste aplikacje np. 1-z-N, dekodowanie adresów etc.
- **mniej wszechstronna** struktura
- **ograniczona** ilość wejść dla microcell

Metal-On-Silicon, Field-Effect, Transistor → MOSFET

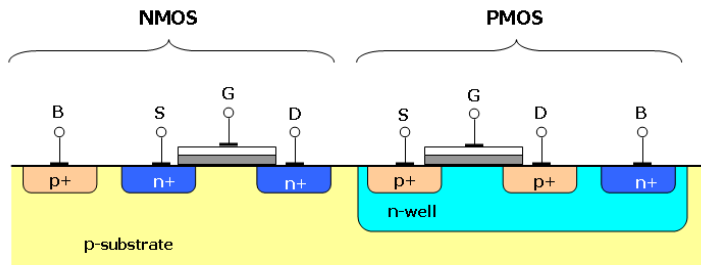
Tranzystor polowy - MOSFET

Metal-On-Silicon, Field-Effect, Transistor → MOSFET

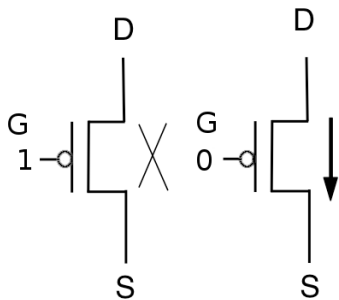


Tranzystor polowy - MOSFET

Metal-On-Silicon, Field-Effect, Transistor → MOSFET



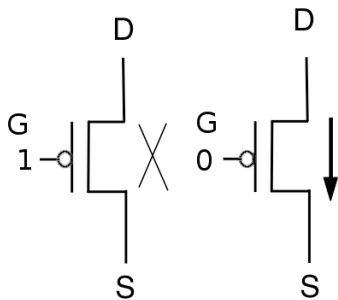
pMOS



$G = 0 \rightarrow$ przewodzenie

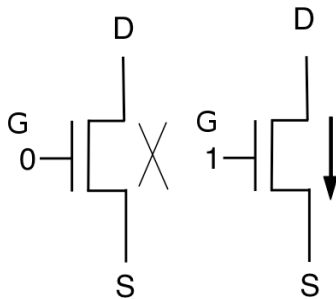
$G = 1 \rightarrow$ brak przewodzenia

pMOS



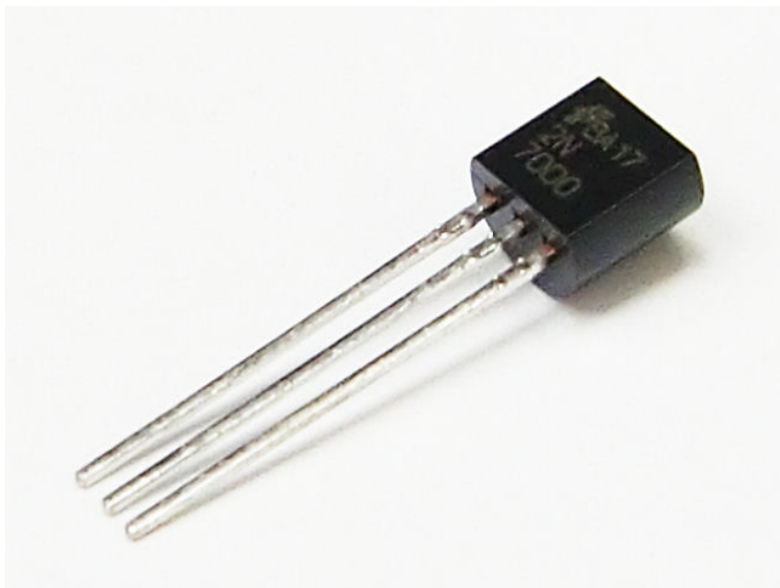
$G = 0 \rightarrow$ przewodzenie
 $G = 1 \rightarrow$ brak przewodzenia

nMOS



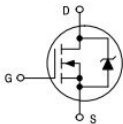
$G = 0 \rightarrow$ brak przewodzenia
 $G = 1 \rightarrow$ przewodzenie

MOSFET 2N7000



MOSFET 2N7000

N-Channel



TO-92
CASE 29
STYLE 22

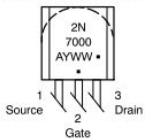


STRAIGHT LEAD
BULK PACK



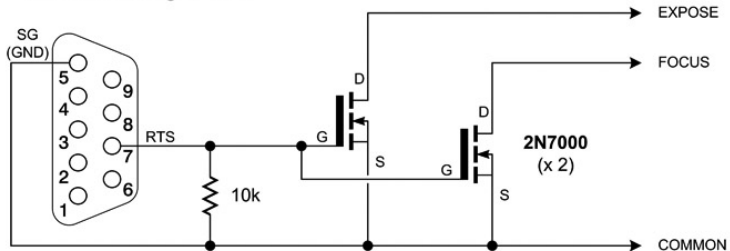
BENT LEAD
TAPE & REEL
AMMO PACK

MARKING DIAGRAM AND PIN ASSIGNMENT



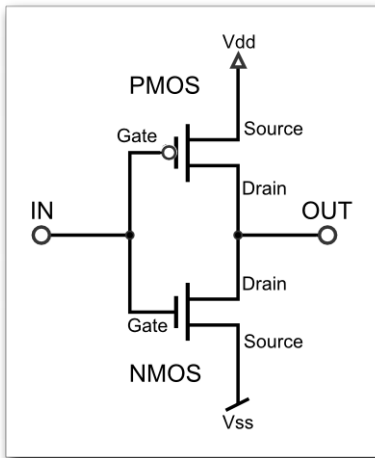
MOSFET 2N7000

Serial cable for Canon EOS 40D
Michael A. Covington 2007

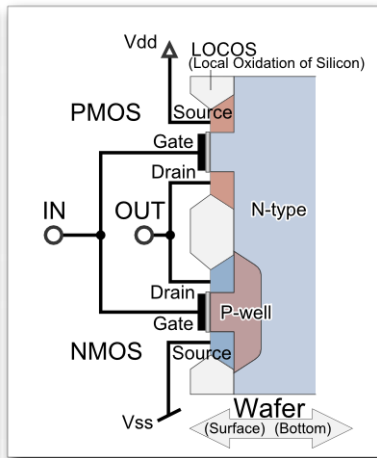


CMOS inverter

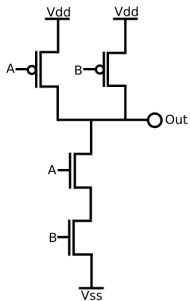
Model chart



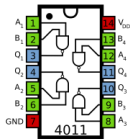
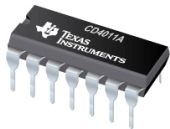
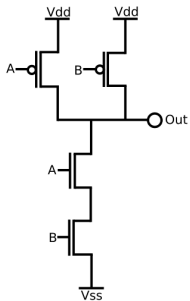
Silicon wafer



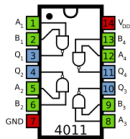
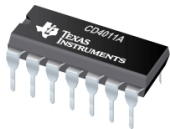
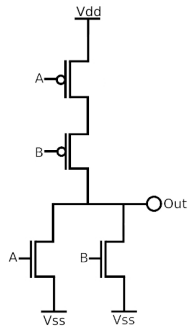
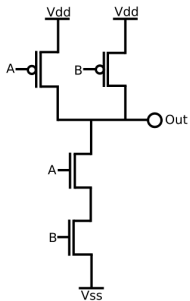
Bramki logiczne CMOS - NAND, NOR



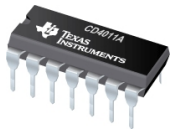
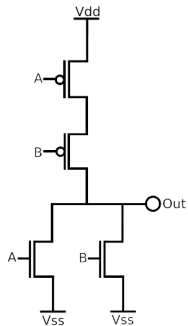
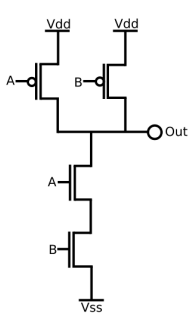
Bramki logiczne CMOS - NAND, NOR

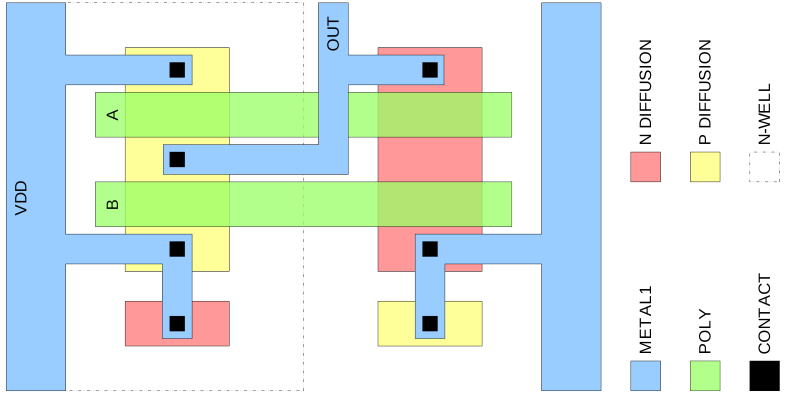


Bramki logiczne CMOS - NAND, NOR



Bramki logiczne CMOS - NAND, NOR





Rzeczy do zapamiętania

- procesory specjalizowane vs. programowalne vs. programowalne-dedykowane;
- CORDIC;
- budowa, porównanie FPGA, (S/C)PLD;
- technologia CMOS: bramki INV, NAND, NOR;

Do przeczytania

- http://www.esa.int/Our_Activities/ ⇒ LEON – a new recipe for chips.